

TUGAS AKHIR

SISTEM KONTROL TIMER PANEL LISTRIK BERBASIS PROGRAMMABLE LOGIC CONTROL (PLC)



OLEH:

MADE DEREDA

NIM 1705031006

PROGRAM STUDI DIII TEKNIK ELEKTRONIKA

JURUSAN TEKNOLOGI INDUSTRI

FAKULTAS TEKNIK DAN KEJURUAN

UNIVERSITAS PENDIDIKAN GANESHA

SINGARAJA

2020

**SISTEM KONTROL TIMER PANEL LISTRIK BERBASIS
PROGRAMMABLE LOGIC CONTROL (PLC)**

TUGAS AKHIR

Diajukan Kepada

Universitas Pendidikan Ganesha

Untuk Memenuhi Salah Satu Persyaratan Dalam Menyelesaikan Program

Diploma III

Preprogram studi DIII Teknik Elektronika

Jurusan Teknologi Industri

Oleh :

Made Dereda

NIM 1705031006

PROGRAM STUDI DIII TEKNIK ELEKTRONIKA

JURUSAN TEKNOLOGI INDUSTRI

FAKULTAS TEKNIK DAN KEJURUAN

UNIVERSITAS PENDIDIKAN GANESHA

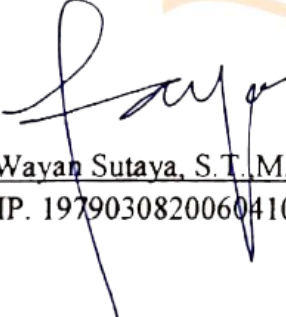
SINGARAJA

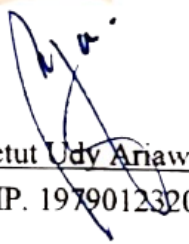
2020

Lembar Persetujuan Pembimbing
TUGAS AKHIR

Diajukan Untuk Melengkapi Tugas-tugas dan Syara-syarat
Memperoleh Gelar Ahli Madya




I Wayan Sutaya, S.T.,M.T.
NIP. 197903082006041003


Ketut Udy Ariawan, S.T.,M.T.
NIP. 197901232010121001

Lembar Persetujuan Dosen Penguji

Tugas Akhir Oleh Made Dereda


Telah dipertahankan di depan dewan penguji

Pada


Hari : Selasa

Tanggal : 17 Desember 2019

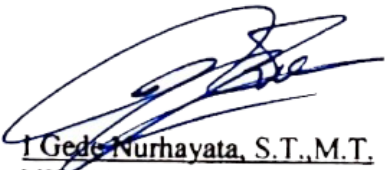
Dewan Penguji


Ketut Udy Ariawan, S.T.,M.T.
NIP. 197901232010121001

Penguji I


Dr. Gede Indrawan, S.T.,M.T.
NIP. 19760102 2003121001

Penguji II


I Gede Nurhayata, S.T.,M.T.
NIP. 197504042002121001

Penguji III

Diterima oleh Panitia Ujian Fakultas Teknik dan Kejuruan Universitas Pendidikan Ganesha guna memenuhi syarat-syarat untuk mencapai gelar Ahli Madya.


Pada

Hari : Minggu

Tanggal : 08 Maret 2020


Ketua Ujian,

Sekretaris Ujian,


Dr. Ketut Agustini, S.Si, M.Si
NIP. 197408012000032001


I Gede Nurnayata, S.T., M.T.
NIP. 197504042002121001

Mengesahkan,


Dekan Fakultas Teknik dan Kejuruan
Dr. I Gede Sudirtha, S.Pd., M.Pd.
NIP. 197106161996021001

PERNYATAAN

Dengan ini saya menyatakan bahwa Tugas Akhir saya yang berjudul “Sistem Kontrol Timer Panel Listrik Berbasis Programmable Logic Control (PLC)” pada pembuatan proposal tugas akhir beserta isinya merupakan hasil dari pembelajaran sendiri dan memang benar karya saya sendiri yang tidak melakukatkan penjiplakan maupun pengutipan dengan cara yang tidak sesuai dengan etika keilmuan. Bila mana pada proposal tugas akhir saya ini ada kesalahan ditemukan penjiplakan maupun pengutipan yang tidak sesuai etika keilmuan saya siap bertanggung jawab atas kesalahan yang sudah dibuat.



Singaraja, 10 Juli 2020

Yang membuat pernyataan



Made Dereda

NIM. 1705031006

PRAKATA

Penulis mengucapkan puji syukur kepada Tuhan Yang Maha Esa, Ida Sanghyang Widhi Wasa atas karunia dan ramatnya sehingga sipenulis dapat bisa menyelesaikan proposal tugas akhir ini yang berjudul: "**Sistem Kontrol Timer Panel Listrik Berbasis Programmable Logic Control (PLC)**" yang sudah sesuai harapan.

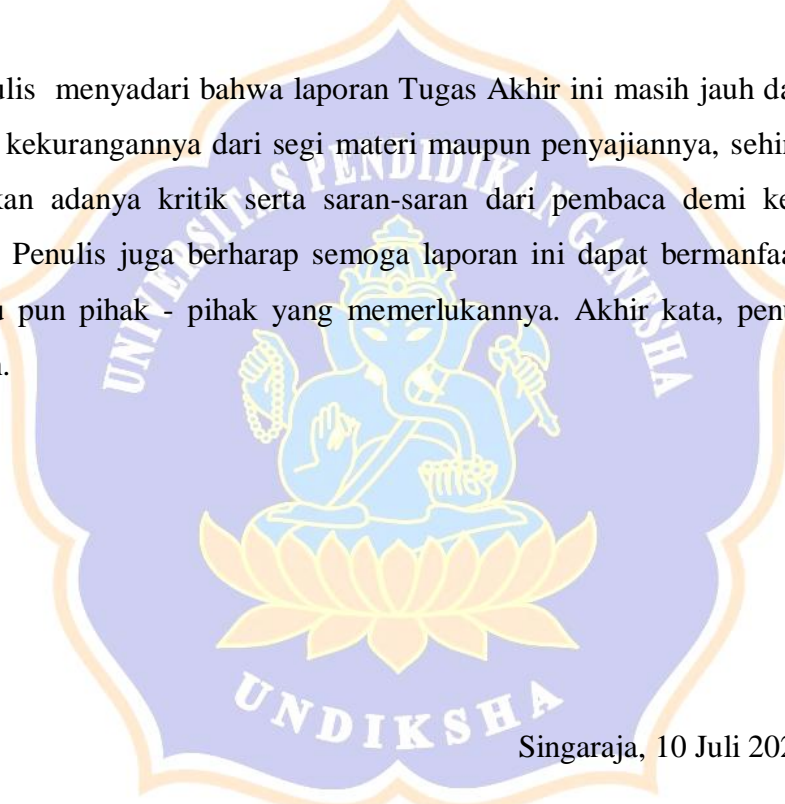
Tujuan penulisan laporan tugas akhir ini merupakan salah satu persyaratan akademis bagi mahasiswa Fakultas Teknik dan Kejuruan Universitas Pendidikan Ganesha guna mencapai gelar diploma di jurusan D III Teknik Elektronika, Fakultas Teknik dan Kejuruan, Universitas Pendidikan Ganesha.

Tugas Akhir ini dapat diselesaikan atas bantuan dan dorongan baik moral maupun material dari berbagai pihak, oleh karena itu penulis mengucapkan terima kasih kepada :

1. Bapak Prof. Dr. I Nyoman Jampel, M.Pd. selaku Rektor Universitas Pendidikan Ganesha.
2. Bapak Dr. I Gede Sudirtha, S.Pd.,M.pd., Selaku Dekan Fakultas Teknik dan Kejuruan, Universitas Pendidikan Ganesha.
3. Bapak Dr. I Kadek Rihendra Dantes, S.T.,M.T. selaku Ketua Jurusan Teknologi Industri, Fakultas Teknik dan Kejuruan, Universitas Pendidikan Ganesha.
4. Bapak Gede Nurhayata, S.T.,M.T. selaku Koor Program Studi Diploma III Teknik Elektronika, Jurusan Teknologi Industri, Fakultas Teknik dan Kejuruan.
5. Bapak I Wayan Sutaya, S.T.,M.T. Dosen Pembimbing I, yang telah memberikan masukan, bimbingan, dan arahnya selama penyusunan TA ini, sehingga dapat terselesaikan dengan baik.
6. Bapak Ketut Udy Ariawan, S.T.,M.T. selaku Dosen Pembimbing II, yang telah memberikan masukan, bimbingan, arahan serta penjelesannya selama penyusunan Tugas Akhir ini.

7. Teknisi Jurusan D III Teknik Elektronika yang telah meluangkan waktunya untuk mendampingi penulis selama proses pembuatan Tugas Akhir ini.
8. Kedua orang tua serta keluarga yang sangat saya cintai, yang telah memberikan dukungan dan semangat selama penyusunan Tugas Akhir ini.
9. Seluruh Mahasiswa Jurusan DIII Teknik Elektronika angkatan 2017, Fakultas Teknik dan Kejuruan, Universitas Pendidikan Ganesha serta kerabat lain yang telah membantu dan memberikan dukungannya, baik secara langsung maupun tidak langsung dalam penyelesaian Tugas Akhir ini.

Penulis menyadari bahwa laporan Tugas Akhir ini masih jauh dari sempurna dan banyak kekurangannya dari segi materi maupun penyajiannya, sehingga penulis mengharapkan adanya kritik serta saran-saran dari pembaca demi kesempurnaan selanjutnya. Penulis juga berharap semoga laporan ini dapat bermanfaat, baik bagi penulis atau pun pihak - pihak yang memerlukannya. Akhir kata, penulis ucapkan terima kasih.



Singaraja, 10 Juli 2020

Penulis

DAFTAR ISI

HALAMAN

LEMBAR PERSETUJUAN PEMBINGBING	ii
LEMBAR PERSETUJUAN DOSEN PENGUJI	iii
LEMBAR PENGESAHAN.....	iv
PERNYATAAN	v
PRAKATA	vi
ABSTRAK.....	viii
ABSTRACT.....	ix
DAFTAR ISI	x
DAFTAR TABEL	xii
DAFTAR GAMBAR.....	xiii
BAB I PENDAHULUAN	
1.1 Latar Belakang Masalah	1
1.2 Identifikasi Masalah	2
1.3 Rumusan Masalah	2
1.4 Pembatasan Masalah.....	3
1.5 Tujuan Penelitian.....	3
1.6 Manfaat Penelitian.....	3
BAB II KAJIAN TEORI	
2.1 Kabel NYAF	5
2.2 Saklar elektromagnetik / Tombol Tekan (Push Button)	6
2.2.1 Tipe Normally Open (NO)	6
2.3 Modul ISD 1820 (<i>Voie Recorderr</i>).....	7
2.4 Relay	7
2.4.1 Prinsip kerjarelay	8
2.4.2 Fungsi - fungsi dan Aplikasi Relay.....	9

2.5 Miniature Circuit Breaker (MCB)	9
2.6 Kontaktor	10
2.7 Outseal PLC	12
2.7.1 Perangkat Keras	12

BAB III METODE PENELITIAN

3.1 Waktu dan Tempat Penelitian	15
3.2 Alat dan Bahan Penelitian.....	15
3.2.1 Alat.....	15
3.2.2 Bahan.....	16
3.3 Tahapan Perancangan Penelitian.....	17
3.3.1 Perancangan Perangkat Keras dan Perangkat Lunak	17
3.3.1.1 Perancangan Blok Diagram Rangkaian	17
3.3.1.2 Perancangan Diagram Alir (Flowchart).....	18
3.3.1.3 Perancangan Konstruksi dan Desain Perangkat	21
3.3.2 Teknik Pengujian dan Pengumpulan Data	22
3.3.3 Teknik Analisis Data.....	24

BAB IV HASIL DAN PEMBAHASAN

4.1 Pengujian Hardware	25
4.2 Pengujian <i>software</i>	31
4.3 Pengujian Selur Sistem.....	33
4.4 Pembahasan.....	35

BAB V PENUTUP

5.1 Kesimpulan	38
5.2 Saran	38

DATAR PUSTAKA

LAMPIRAN

DAFTAR TABEL

	HALAMAN
Table 3.1 Peralatan Penelitian	15
Table 3.2 Bahan Penelitian.....	16
Table 4.1 Hasil Pengujian Relay, Push Button dengan Kontaktor	27
Table 4.2 Hasil Pengujian Software	31
Table 4.3 Hasil Pengujian Keseluruhan Cara Kerja Alat.....	34



DAFTAR GAMBAR

HALAMAN

Gambar 2.1. Kabel NYAF.....	5
Gambar 2.2. Tombol Pus Button.....	6
Gambar 2.3. Kontak NO	7
Gambar 2.4. Module ISD 1820	7
Gambar 2.5. Relay dan Simbol Relay.....	8
Gambar 2.6. Bgian - Bagian Relay	8
Gambar 2.7. Miniature Circuit Breaker	10
Gambar 2.8. Kontaktor Magnet.....	11
Gambar 2.9. Mengenal Outseal PLC Nono V.4.....	12
Gambar 2.10. Pinout Outseal PLC Shield V.2	13
Gambar 3.1. Perancangan Blok Diagram.....	17
Gambar 3.2. Perancangan Diagram Alir (Flowchart).....	18
Gambar 3.3. Diagram Alire Program.....	20
Gambar 3.4. Perancangan Desain Konstruksi dan Desain Alat	21
Gambar 3.5. Perancangan Module ISD 1820 Dengan PLC Outseal	23
Gambar 3.6. Perancangan Module Relay Sebagai Pengendali Kontaktor	23
Gambar 3.7. Perancangan Kontaktor Dengan MCB.....	24
Gambar 4.1. <i>Ladder Diagram</i> Pengujian Relay Dengan Push Button	26
Gambar 4.2. Rangkaian Pengujian Relay, Push Button Dengan Kontaktor	26
Gambar 4.3. Real Pengujian Relay, Push Button Dengan Kontaktor	26
Gambar 4.4. <i>Ladder Diagram</i> Pengujian Module ISD1820	27
Gambar 4.5. Rangkaian Pengujian Module ISD 1820.....	28
Gambar 4.6. Real Pengujian Module ISD 1820.....	28
Gambar 4.7. <i>Ladder Diagram</i> Seluruh Blok.....	30
Gambar 4.8. Rangkaian Seluruh Blok	31
Gambar 4.9. Real Rangkaian Seluruh Blok	31
Gambar 4.10. Uplod Gagal	32

